

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hideto FURUYAMA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: PRODUCTION METHOD OF OPTO-ELECTRONIC DEVICE ARRAY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

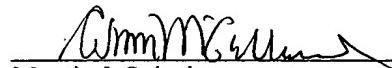
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-372903	December 24, 2002

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

7660

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年12月24日

出願番号 Application Number: 特願2002-372903

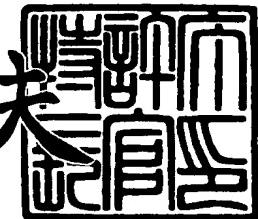
[ST. 10/C]: [JP2002-372903]

出願人 Applicant(s): 株式会社東芝

2003年 7月30日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3060594

【書類名】 特許願
【整理番号】 13B027089
【提出日】 平成14年12月24日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 31/0232
G02B 6/43
【発明の名称】 光素子アレイの製造方法
【請求項の数】 7
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内
【氏名】 古山 英人
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075
【選任した代理人】
【識別番号】 100068342
【弁理士】
【氏名又は名称】 三好 保男
【選任した代理人】
【識別番号】 100100712
【弁理士】
【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】**【識別番号】** 100100929**【弁理士】****【氏名又は名称】** 川又 澄雄**【選任した代理人】****【識別番号】** 100108707**【弁理士】****【氏名又は名称】** 中村 友之**【選任した代理人】****【識別番号】** 100095500**【弁理士】****【氏名又は名称】** 伊藤 正和**【選任した代理人】****【識別番号】** 100101247**【弁理士】****【氏名又は名称】** 高橋 俊一**【選任した代理人】****【識別番号】** 100098327**【弁理士】****【氏名又は名称】** 高松 俊雄**【手数料の表示】****【予納台帳番号】** 001982**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要**【その他】** 「国などの委託研究の成果に係る特許出願（平成13年

度新エネルギー・産業技術総合開発機構「超高密度電子
S I 技術の研究開発（超高密度電子 S I 技術の研究開発
）」委託研究、産業活性力再生特別措置法第30条の適
用を受けるもの）」

【書類名】 明細書

【発明の名称】 光素子アレイの製造方法

【特許請求の範囲】

【請求項 1】 能動層を含む積層体からなる光素子を配列してなる光素子アレイの製造方法であって、前記能動層を含む積層体薄膜を複数の薄膜片に分割する工程と、該複数の薄膜片を第1の基板上の概略配列位置に配列装着する工程と、しかる後、前記第1の基板上で前記光素子の能動領域を所定配列位置に規定するための能動領域規定加工を前記薄膜片に施す工程とを有してなることを特徴とする光素子アレイの製造方法。

【請求項 2】 前記積層体薄膜を複数の薄膜片に分割する工程は、第2の基板上にリフトオフ層を形成する工程と、該リフトオフ層上に前記能動層を含む前記積層体薄膜を形成する工程と、該積層体薄膜を部分的に除去して前記リフトオフ層に達する溝を形成する工程と、しかる後、前記リフトオフ層を除去して前記溝により囲まれた複数の薄膜片に分割する工程を少なくとも含んでなることを特徴とする請求項1記載の光素子アレイの製造方法。

【請求項 3】 前記光素子の能動領域を所定配列位置に規定するための能動領域規定加工を前記薄膜片に施す工程は、前記能動領域以外の領域の少なくとも一部にイオン注入を施す工程を含んでなることを特徴とする請求項1又は2記載の光素子アレイの製造方法。

【請求項 4】 前記光素子の能動領域を所定配列位置に規定するための能動領域規定加工を前記薄膜片に施す工程は、前記能動領域以外の領域の少なくとも一部をエッティング除去する工程を含んでなることを特徴とする請求項1又は2記載の光素子アレイの製造方法。

【請求項 5】 前記光素子の能動領域を所定配列位置に規定するための能動領域規定加工を前記薄膜片に施す工程は、前記能動領域に選択的に電極を形成する工程を含んでなることを特徴とする請求項1又は2記載の光素子アレイの製造方法。

。

【請求項 6】 前記積層体薄膜を複数の薄膜片に分割する工程及び前記複数の薄膜片を第1の基板上の概略配列位置に配列装着する工程は、前記積層体薄膜を転

写テープに装着した後に前記複数の薄膜片に分割する工程と、該転写テープを拡張して前記薄膜片の配列間隔を拡大する工程と、該拡張した転写テープから前記第1の基板へ前記複数の薄膜片を転写する工程とを含んでなることを特徴とする請求項1乃至5の何れか1項に記載の光素子アレイの製造方法。

【請求項7】 前記積層体薄膜を複数の薄膜片に分割する工程及び前記複数の薄膜片を第1の基板上の概略配列位置に配列装着する工程は、前記薄膜の積層体を第1の転写テープに装着した後に前記複数の薄膜片に分割する工程と、該第1の転写テープから第2の転写テープへ第1の方向に前記薄膜片の配列間隔を拡大して転写する工程と、該第2の転写テープから第3の転写テープへ前記第1の方向と直交する第2の方向に前記薄膜片の配列間隔を拡大して転写する工程と、該第3の転写テープから前記第1の基板へ前記複数の薄膜片を転写する工程とを含んでなることを特徴とする請求項1乃至5の何れか1項に記載の光素子アレイの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は光素子アレイの製造方法に関し、特に、光素子アレイの低成本化を図った光素子アレイの製造方法に関する。

【0002】

【従来の技術】

バイポーラトランジスタや電界効果トランジスタ等の電子デバイスの性能向上により、大規模集積回路（LSI）は飛躍的な動作速度の向上が図られてきている。しかしながら、LSIの内部動作は高速化されてきているものの、それを実装するプリント基板レベルでの動作速度はLSIの動作速度より低く抑えられ、そのプリント基板を装着したラックレベルでは更に動作速度が低く抑えられている。これらは、動作周波数の上昇に伴う電気配線の伝送損失や雑音、電磁障害の増大に起因するものであり、信号品質を劣化させないために長い配線ほど動作周波数を下げる必要がでてくるためである。従って、電気配線装置においては能動素子であるLSIの動作速度が向上しても、その実装において速度低下を余儀な

くされるという問題があり、LSIの動作速度よりも実装技術がシステム動作速度を支配する傾向が近年益々強まってきている。

【0003】

一方、このような電気配線装置の問題を鑑み、LSI間を光で接続する光配線装置がいくつか提案されている。光配線装置の特徴は、直流から100GHz以上の周波数領域で損失等の周波数依存性がほとんど無く、また、配線路の電磁障害や接地電位変動雑音が無いため数十Gbpsの配線が容易に実現できることにある。このため、光配線装置ではプリント基板やラックレベルでも非常に高速の動作が期待でき、活発な研究開発が進められている。このような光配線装置を実現するためには、発光素子、受光素子などの光素子が不可欠であり、特に、配線用途としては数十から数百のチャネルを形成するため、特定のピッチで多数配列された光素子アレイが必要となる。

【0004】

ところが、現状、光配線は光素子のコストがネックとなり、電気配線に対して産業上の優位性を発揮できないという問題が残っている。その主な要因として、光素子のほとんどがGaAs系やInP系などの化合物半導体を材料としており、シリコン(Si)半導体や他の電子部品に比べて材料コストが高いことが挙げられる。化合物半導体素子は、市場規模からくる産業構造的なコストが高いほか、Siのような单原子材料半導体に比べて材料やプロセスのばらつきが多いため、生産性という観点からもコストが高い。このため、安価なSiを用いた光素子が望まれるが、Siはバルク結晶が間接遷移型で発光効率が極端に低く、可視領域の受光素子を除いて光素子開発があまり進んでいない。特に、半導体レーザなどの高速発光素子は、化合物半導体以外に実用的デバイスがないというのが現状であり、現段階で光配線用光素子への化合物半導体の適用は逃れる術を持たない。従って、光配線を効果的に産業活用するには、化合物半導体光素子の低成本化が必須の命題となる。

【0005】

化合物半導体光素子の低成本化としては、材料そのもののコストを低下することが望ましいが、前述したように現状では難しい。そこで、もう一つの手段と

して材料の利用効率を高める方法が考えられる。例えば、コンパクトディスク用半導体レーザなどは、 $300\mu\text{m} \times 300\mu\text{m}$ といったチップ面積を持っているが、その中で実際にレーザ動作に必要な能動領域の面積はせいぜい $10\mu\text{m} \times 300\mu\text{m}$ 程度であり、その他の面積はチップハンドリングや放熱の補助としての面積となっている。この例において、 $300\mu\text{m} \times 300\mu\text{m}$ の面積があれば原理的には30個の半導体レーザが作製可能である。また、近年、実用化の進んできたVertical Cavity Surface Emitting Laser-diodes（以後、「VCSEL」と記す）では、レーザ動作に必要な能動領域の面積が $10\mu\text{m} \times 10\mu\text{m}$ 程度であり、 $300\mu\text{m} \times 300\mu\text{m}$ のチップ面積があれば、原理的に900個程度の半導体レーザが作製可能である。

【0006】

このような極限的な材料効率ほどではなくても、現状の化合物半導体による光素子はかなりの材料効率改善の余地がある。例えば、非特許文献1に記載されているような解析例がある。この改善のためには、上記のチップハンドリングや放熱の補助としての面積を不要にする工夫が必要であり、その技術提案もいくつか発表されている。例えば、非特許文献2に記載されているような、所謂エピタキシャルリフトオフ（Epitaxial Lift-Off、以後「ELO」と記す）があり、図18（a）乃至図18（d）を参照してこれを説明する。

【0007】

図18（a）乃至図18（d）は、ELO技術によるVCSELの実装工程を示す従来例である。図中、134は結晶成長基板、117はリフトオフ層、104はn側DBR（Distributed Bragg Reflector）、105はレーザ活性層、106はp側DBR、121はプロトン注入（高抵抗）領域、103はn側電極、109はp側電極であり、例えば、結晶成長基板134をGaAs基板、リフトオフ層117をAlAsで $2\mu\text{m}$ 、n側DBR104及びp側DBR106をAl_{0.2}Ga_{0.8}As及びAl_{0.9}Ga_{0.1}Asを $1/4$ 波長厚で交互に積層した多層積層膜とする。図18（a）は、結晶成長およびプロトン注入によるレーザ領域規定を行い、メサエッティングによる素子分離と電極の形成を行った状態である。この状態で光素子（VCSEL素子）107自体は完成しており、

n側電極103とp側電極109の間に通電することでレーザ発振可能になっている。

【0008】

次に、ELOを行うため、VCSEL素子107の保護ワックス110（例えば宗電子工業社製エレクトロンワックス）を熱溶融により形成し、リフトオフ層117を塩酸によりエッチング除去する（図18（b））。これをさらに、表面をわずかに酸素プラズマ処理した転写シート119（例えばデュポン社製カプトンテープ）に搭載し、保護ワックス110を溶剤で除去する（図18（c））。このとき、転写シート119の酸素プラズマ処理を行うことで、ファンデルワールス力による弱い接着が起こり、VCSEL素子107は転写シート119上に残存する。この後、VCSEL素子107を所定の基板（例えばセラミック配線基板や駆動IC）に位置合わせして転写（図18（d））することにより実装が完了する。VCSEL素子107の転写は、例えば半田ボールの溶融接合や金属圧接などで行い、転写と同時に転写する基板への電気接続も行うこともできる。

【0009】

このような方法で実装する場合、前述した光素子のハンドリング面積や放熱の補助面積が不要となり、光素子は動作領域と電気接続パッドの面積だけで十分となり、例えば $50\mu m \times 50\mu m$ といった面積で十分となる。このELO技術により、図19に示すような光素子アレイが作製可能である。

【0010】

図19は、ELO技術を用いて作成した光素子アレイの概念図であり、上段が上面図、下段が断面図、134は光素子作成のための化合物半導体基板、107はELOによる光素子チップ（発光素子または受光素子）、101は光素子アレイ基板（転写基板）である。ELOによる光素子チップ（以下ELOチップと記す）は例えば $50\mu m \times 50\mu m$ の大きさとし、n電極およびp電極としてそれぞれ $15\mu m \times 15\mu m$ のパッドをつけておく。レーザ発振領域は、前述したように $10\mu m \times 10\mu m$ の領域に作製可能であり、ELOチップ107の分離溝幅を $10\mu m$ とすれば、電極パッドと併せて $50\mu m \times 50\mu m$ の面積でELOチップ107が作製可能である。

【0011】

図19（b）は、中央に示す 6×6 のELOチップ107を抜き取った状態を示しており、図19（c）は抜き取ったELOチップ107の配列ピッチを拡大して転写した状態を示している。転写の配列ピッチとしては、例えばリボン光ファイバの標準的アレイピッチとなっている $250 \mu\text{m}$ とする。また、ELOチップ107の電極パッドはわずか $15 \mu\text{m}^2$ の面積しかなく、このままではワイヤボンディングやフリップチップ接続が難しいが、転写基板101の上でフォトリソグラフィーによる電極の再配線加工を行えば十分なパッド面積を別途確保することができる。また、転写基板101を絶縁基板とすれば等価的な素子寄生容量低減になり、転写基板101を光素子駆動ICとすれば電気配線の寄生イミタンスを最小とする事が可能になる。

【0012】

この結果、ELOチップ周辺 $250 \mu\text{m} \times 250 \mu\text{m}$ が単体光素子の占有面積となり、これを化合物半導体基板上でアレイに形成した場合に比し、必要となる化合物半導体の面積を $1/25$ 、即ち、25倍の材料利用効率となることが分る。また、配線の寄生イミタンスを小さくできることから、素子の高速駆動が容易になる。このように、ELO技術により化合物半導体の材料利用効率を大幅に向上することが可能であり、光素子アレイの大幅なコスト低減が可能となる。また、素子の寄生イミタンス低減による性能向上も含め、大幅なコストパフォーマンス向上が可能である。

【0013】

また、光素子アレイの配列間隔より小さい間隔でELOチップ（光素子）を形成し、光素子アレイの配列位置に対応したELOチップを選択的にアレイ基板上に転写することで、アレイ配列精度を向上させる技術もある（例えば、特許文献1参照）。

【0014】

【非特許文献1】

アプライド・オプティクス (APPLIED OPTICS) vol. 37
、No. 26 (1988) 、p. 6151-6160

【0015】**【非特許文献2】**

IEEE ジャーナル・オン・セレクテッド・オプティクス・イン・クオンタム・エレクトロニクス (Journal on Selected Topics in Quantum Electronics), Vol. 6, No. 6 (2000), p. 1231-1239

【0016】**【特許文献1】**

特開平11-307878号公報（第4-5頁、第1図）

【0017】**【発明が解決しようとする課題】**

しかしながら、このような従来のELO技術を用いた光素子アレイは、以下のような問題があった。図20は、ELO技術を用いた従来の光素子アレイを説明する概念図であり、107はELOチップ、113は光素子能動領域（光素子光軸）規定構造、101は転写基板、122は光ファイバコア、123は光ファイバクラッドであり、図20(a)は上部のELOチップ107を配列ピッチ拡大転写した状態、図20(b)は等ピッチ配列された光ファイバへの光結合状態を示している。ここで図20(b)の各ELOチップ107上に示した矢印114は、転写されたELOチップの光軸位置を表している。図20(b)から分るように、転写されたELOチップ107は機械的な転写工程を経ており、転写治具や転写装置の精度に応じた転写位置のばらつきを持っている。このばらつきは、配列ピッチの拡大転写精度、転写するELOチップの装着精度が含まれ、数 μm ～数 $10\mu\text{m}$ といった誤差が生じることが多い。このため、図20(b)に示すように、リボン光ファイバや光導波路アレイとの光結合を行う際、光素子ごとに光結合効率がばらつく問題があった。特に、光ファイバや光導波路がシングルモードの場合、ほとんど光結合しないチャネルが発生するなど、深刻な問題となりやすかった。

【0018】

以上説明してきたように、光配線の効果的な産業活用には化合物半導体による

光素子アレイの低コスト化が必要であり、材料効率の面からこれを解決しようとする技術としてELO技術があったが、従来のELO技術では、ELOチップの機械的な転写工程で転写位置のばらつきを生じやすいため、各光素子ごとの結合効率がばらつく問題や、ほとんど光結合しないチャネルが発生するなどの問題があった。本発明は、このような従来技術の問題を鑑み、光素子の材料効率を高めつつ、光素子アレイの配列誤差を根本的に解消しうる光素子アレイの製造方法の提供を目的としている。

【0019】

【課題を解決するための手段】

本発明の骨子は、所謂ELO等のチップを高精度に配列する代りに、ELOチップが半完成の状態で配列転写し、その後、ELOチップの完成化プロセスを転写基板上で行うことにより、光素子の能動領域（発光部、受光部など）を配列位置に正確に形成するものであり、ELO等のチップの転写精度等に依存しない、高精度な光素子アレイが作製可能になる。

【0020】

即ち、本発明は、能動層を含む積層体からなる光素子を配列してなる光素子アレイの製造方法であって、能動層を含む積層体薄膜を複数の薄膜片に分割する工程と、複数の薄膜片を第1の基板上の概略配列位置に配列装着する工程と、しかる後、第1の基板上で光素子の能動領域を所定配列位置に規定するための能動領域規定加工を薄膜片に施す工程とを有してなることを特徴とする光素子アレイの製造方法である。

【0021】

また、本発明の積層体薄膜を複数の薄膜片に分割する工程は、第2の基板上にリフトオフ層を形成する工程と、リフトオフ層上に能動層を含む積層体薄膜を形成する工程と、積層体薄膜を部分的に除去してリフトオフ層に達する溝を形成する工程と、しかる後、リフトオフ層を除去して溝により囲まれた複数の薄膜片に分割する工程を少なくとも含んでなることが望ましい。

【0022】

また、本発明の光素子の能動領域を所定配列位置に規定するための能動領域規

定加工を薄膜片に施す工程は、能動領域以外の領域の少なくとも一部にイオン注入を施す工程を含んでなることを特徴とし、また、本発明の光素子の能動領域を所定配列位置に規定するための能動領域規定加工を薄膜片に施す工程は、能動領域以外の領域の少なくとも一部をエッチング除去する工程を含んでなることを特徴とし、また、本発明の光素子の能動領域を所定配列位置に規定するための能動領域規定加工を薄膜片に施す工程は、能動領域に選択的に電極を形成する工程を含んでなることを特徴とする光素子アレイの製造方法である。

【0023】

また、本発明は、積層体薄膜を複数の薄膜片に分割する工程及び複数の薄膜片を第1の基板上の概略配列位置に配列装着する工程は、積層体薄膜を転写テープに装着した後に複数の薄膜片に分割する工程と、転写テープを拡張して薄膜片の配列間隔を拡大する工程と、拡張した転写テープから第1の基板へ複数の薄膜片を転写する工程とを含んでなることを特徴とする光素子アレイの製造方法である。

【0024】

また、本発明は、積層体薄膜を複数の薄膜片に分割する工程及び複数の薄膜片を第1の基板上の概略配列位置に配列装着する工程は、薄膜の積層体を第1の転写テープに装着した後に複数の薄膜片に分割する工程と、第1の転写テープから第2の転写テープへ第1の方向に薄膜片の配列間隔を拡大して転写する工程と、第2の転写テープから第3の転写テープへ第1の方向と直交する第2の方向に薄膜片の配列間隔を拡大して転写する工程と、第3の転写テープから第1の基板へ複数の薄膜片を転写する工程とを含んでなることを特徴とする光素子アレイの製造方法である。

【0025】

【発明の実施の形態】

以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一あるいは類似の部分には同一あるいは類似な符号を付している。ただし、図面は模式的なものであり、層の厚みと幅との関係、各層の厚みの比率などは現実のものとは異なることに留意すべきである。また、図面の相互間においても互いの

寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0026】

(第1の実施の形態)

図1 (a) は、本発明の第1の実施の形態に係る光素子アレイの製造方法を示した図であり、7a、7b、・・・は光素子のELOチップ（発光素子または受光素子）、13は光素子の能動領域（光軸）規定構造、1は第1の基板（以後、「転写基板」と記す）であり、22は光ファイバコア、34は光ファイバクラッドであり、図1 (a) は上部のELOチップ7a、7b、・・・を配列ピッチ拡大転写し、能動領域規定加工を行った状態、図1 (b) は等ピッチ配列された光ファイバへの光結合状態を示している。図1 (a) の能動領域（光軸）規定構造13の欠如部分が発光または受光機能を有する部分を表しており、図1 (b) の各ELOチップ上に示した矢印14が本発明の第1の実施の形態による光素子の光軸位置を表している。光素子の能動領域を規定する方法については後述する。

【0027】

この実施の形態の製造過程は、まず、図2に示すように、化合物半導体などの基板にELOのためのリフトオフ層を形成し(S1)、続いてリフトオフ層上に発光（受光）層を含む多層薄膜を結晶成長などの手法で形成する(S2)。次に、光素子に必要な面積とELOチップ転写精度余裕を加えた面積に分割する分割溝をリフトオフ層に達する深さで形成する(S3)。その後、リフトオフ層の除去(S4)と、転写基板1へのELOチップ7a、7b、・・・の配列転写を行い(S5)、転写基板上でフォトリソグラフィーなどの手法により光素子の能動領域（光軸）規定構造13を形成する(S6)。このとき、光素子の能動領域を所定の配列ピッチにより形成すれば、ELOチップの転写誤差があっても光素子の能動領域自体は本来の配列位置に形成することが可能となる。即ち、図1 (b) から分るように、第1の実施の形態に係る製造方法による光素子アレイでは、ELOチップに転写誤差があっても光素子能動領域をELOチップ転写後に所定配列ピッチで形成するため、光素子の光軸が本来の配列位置に形成され、リボン光ファイバ等への光結合が正確に行われるという特徴を持っている。

【0028】

本発明と従来技術の大きな違いとして、従来技術の場合、各ELOチップの光素子能動領域位置はほぼ一定しているものの、アレイ配列位置に対する光素子能動領域位置はELOチップの配列ばらつきに応じてばらついており、本発明実施例の場合、各ELOチップの光素子能動領域位置はばらつくが、アレイ配列位置に対する光素子能動領域位置は一定化している点にある。即ち、前述したように、本発明実施例では、ELOチップの面積は光素子に本来必要な面積にELOチップ転写誤差相当の面積を加える必要がある。このため、一見、従来技術に比し、ELOチップ面積を大きく取る必要があるよう思えるが、実際には従来技術に必要であった電極パッドの面積分がELOチップの転写誤差相当となり、追加面積は実質不要となる。つまり、従来技術では、電極パッドの面積に、電極接続に必要な面積とELOチップ転写誤差相当の面積を持たせており、むしろELOチップの回転方向の誤差分だけ余計に面積を要する分、本発明実施例の方が余裕分の面積が小さくて済む。

【0029】

このように、本発明実施例による光素子アレイは、ELOチップに転写誤差があっても能動領域規定を転写配列後に行っているため、各光素子の光軸を正規の配列位置に規定することができる。また、従来のELO技術による光素子アレイに比し材料利用効率の低下もなく、高精度のアレイ配列精度を有しながら光素子アレイの大幅なコスト低減が可能となる。

【0030】

なお、S04段階においてリフトオフ層を除去して複数の薄膜片を分離する際、複数の薄膜片を転写テープに装着することが望ましい。そして、図3に示すように、転写テープを拡張して薄膜片の間隔を拡大し(S51)、転写テープから転写基板へ複数の薄膜片を転写する(S52)ことによって、分割溝により定まる薄膜片の間隔よりも広い間隔をもって複数の薄膜片を配列して転写基板へ装着する(S5)ことが望ましい。

【0031】

次に、本発明の第1の実施の形態に係る光素子アレイの製造方法について、より具体的な構造を用いて実施例を示していく。尚、ここではAlGaAs/Ga

A s 系材料を例に示していくが、これはG a I n A s P / I n P 系、G a I n N A s / G a A s 系、G a I n N / G a N 系などの化合物半導体材料系や有機半導体材料など、種々の材料系に対して適用可能なことは述べるまでもない。

【0032】

図4及び図6は、本発明の第1の実施の形態に係る光素子アレイの製造過程を示す構成断面図であり、V C S E L アレイの製造工程を示している。図4及び図6において、3 4は第2の基板（以後、「G a A s 結晶成長基板」と記す）、1 7はA l A s リフトオフ層（厚さ $2 \mu m$ ）、4 a、4 b、・・・はn型D B Rでn型A l 0 . 2 G a 0 . 8 A s / n型A l 0 . 9 G a 0 . 1 A s の1/4波長厚多層積層膜（40ペア）、5 a、5 b、・・・はG a A s 量子井戸活性層（8 nm×3、A l 0 . 2 G a 0 . 8 A s バリア層10 nm×2）、6 a、6 b、・・・はp型D B Rでp型A l 0 . 2 G a 0 . 8 A s / p型A l 0 . 9 G a 0 . 1 A s の1/4波長厚多層積層膜（30ペア）である。まず、上記の結晶成長を行った後、 $40 \mu m \times 40 \mu m$ の領域を囲む幅 $10 \mu m$ の格子状の溝1 8をリフトオフ層1 7の表面まで設け、S i O 2 保護膜8（厚さ300 nm）を設ける（図4(a)）。この分離により、 $40 \mu m \times 40 \mu m$ のE L Oチップ7 a、7 b、・・・が $50 \mu m$ ピッチで配列される形態となる。このとき、格子状の溝1 8をリフトオフ層1 7の表面で停止させる選択エッティングを行うため、リフトオフ層1 7とn型D B R 4 a、4 b、・・・の間に薄いG a A s ストッパー層（例えば10 nm）を設けておけば、エッティング方法およびエッティング材料の選択により自己整合的にエッティングを停止させることができる。例えば、R I E (Reactive Ion Etching)などのドライエッティングにより、G a A s ストッパー層の直上までエッティングし、その後、希硫酸溶液でウェットエッティングを行えばG a A s ストッパー層表面で自動的にエッティング停止する。

【0033】

次に、S i O 2 保護膜8の面を転写テープ1 9に貼り付ける（図4 (b)）。転写テープ1 9としては、一般的な裏面研削用耐酸性エッティングテープを用いればよく、最終的にE L Oチップを剥離するため紫外線照射により粘着率低下するタイプを用いるのが望ましい。この状態で、リフトオフ層1 7の選択除去を行っ

てG a A s 結晶成長基板3 4 の剥離を行う。選択除去の方法としては、例えば塩酸ディップによるA l A s の選択エッチングで行えばよい。塩酸溶液に対しては、A l 濃度の高いA l_x G a_{1-x} A s ($x > 0.7$) はエッチングされるが、 $x = 0.2$ の低A l 濃度A l_x G a_{1-x} A s はあまりエッチングされない。また、G a A s はほとんどエッチングされないため、前述のストッパー層を設けておけばE L Oチップ7 a、7 b、・・・が完全に保護される。この方法では、G a A s 結晶成長基板3 4 がそのまま剥離されるため、G a A s 結晶成長基板3 4 を別の光素子作製用基板として再利用することも可能である。また、G a A s 結晶成長基板3 4 を研磨除去してから塩酸処理することにより、基板剥離時間を短縮することも可能である。この後、基板剥離面にn側電極3の蒸着を行う（図4 (c)）。n側電極3としては、例えばGe濃度10%のAuGeを250 nm 抵抗加熱蒸着で蒸着する。

【0034】

次に、E L Oチップの分離を行う。E L Oチップは、S i O₂保護膜8およびn側電極3で接続されており、機械的な応力で簡単に分離することができる。ここでは、量産向けの処理方法として図5に示すテープ拡張による方法を用いる。これには転写テープ19の引張り拡張や加熱による膨潤拡張などの方法があり、いずれの方法を用いても良い。図5 (a) に示すE L Oチップ7 a、7 b、・・・を、テープ拡張によって、図5 (b) に示すように、チップ間隔を容易に拡大することができる。例として転写テープ19の引張り拡張を行う場合、100 μm程度のチップ間隔が比較的容易に得られる。その後、転写基板1への転写を行う。転写基板1としては、A l₂O₃基板などのセラミック基板やガラス纖維コアを持つエポキシ基板などの有機基板を用いることができる。また、光素子を直接駆動するための駆動I Cを転写基板1としても良い。このとき、転写基板1にはE L Oチップ7 a、・・・の搭載位置を示すパターンを設けておき、概略位置合わせしてE L Oチップ7 a、・・・を転写する（図6 (a)）。この搭載位置を示すパターンは、基板配線電極2 aでもよく、E L Oチップ7 a、・・・の位置ずれを許容し得る範囲を示すようにしておくと転写工程の良否判定が行いやすくなる。E L Oチップ7 a、・・・の転写は、清浄表面を有する金属どうしの圧

着や半田接続、導電性接着剤による接着などで行えばよく、 $50\text{ }\mu\text{m}$ ピッチを $150\text{ }\mu\text{m}$ ピッチに拡大する場合、テープ拡張によりELOチップ7a、・・・を一括して転写することもできる。

【0035】

次に、VCSELの発光位置を規定するための電流狭窄加工を行う。ここでは比較的単純なプロトン注入狭窄の例を示す。まず、ELOチップ7a、・・・を配列した転写基板1に対しフォトリソグラフィーを行い、VCSEL発光位置近傍のSiO₂保護膜8をエッティング除去する。この場合、例えば $25\text{ }\mu\text{m}\phi$ の円形にレジストマスクの窓を設け、NH₄F水溶液によりSiO₂保護膜8のエッティングを行う。次に、フォトリソグラフィーにより例えば $15\text{ }\mu\text{m}\phi$ の円形窓をVCSELの発光部に設け、厚さ約 $2\text{ }\mu\text{m}$ のAu蒸着を行ってレジストを溶剤除去（リフトオフ）する。即ち、プロトン注入マスク20を設ける。この状態で、例えば加速電圧 250 keV でドーズ量 1015 cm^{-2} のプロトン注入を行う（図6（b））。以上の加工によりVCSELの発光部（レーザ発振位置）が規定できる。図6（b）に示した破線は転写誤差のない場合のELOチップ転写位置を示すが、図6（b）のように転写誤差があっても、VCSEL発光部は独立に規定可能になる。

【0036】

尚、VCSELの発光位置規定方法は、上記のプロトン注入の他、AlAs、またはAl_{0.95}Ga_{0.05}Asの薄膜層を活性層近傍のDBRに挿入しておき、メサエッティングによる側面露出と、水蒸気酸化（約 350°C ）を行って発光領域となる $5\text{ }\mu\text{m}\phi$ 程度を残して選択酸化する方法でもよい。

【0037】

最後に、転写基板1表面に埋め込み樹脂10（例えばポリイミド樹脂）を設け、VCSEL発光部の埋め込み樹脂10を選択除去した後、VCSELのp側電極9を形成する（図6（c））。p側電極9としては、例えばAu/Ti/Pt/ZnやAu/Crなどの金属を用いることができ、 $10\text{ }\mu\text{m}\phi$ の開口15を持つように形成する。また、p側電極9をITO（Indium Tin Oxide）などの透明電極とすれば、発光部開口15の位置を自己整合化することもできる。

【0038】

このような方法により作製したVCSELチップの構造例を図7及び図8に示す。図7において、1はAl₂O₃転写基板、2は転写基板配線(Au/Cr)、12はビア配線メタル(Au)、11はn側電極パッド(Au/Cr)、9はp側電極(Au/Cr)であり、他は図4及び図6で示した構成と同様である。図8の上面図において、n側電極3がELOチップ位置に相当し、配線のための凸部2bを除いた転写基板配線2の四角部分2aがELOチップ転写許容範囲に相当している。VCSELの発光部に相当するp側電極9の円形窓15は、転写基板配線2の四角部分2aの中央に位置しており、ELOチップ転写位置が異なっても同じ位置に形成される。即ち、凸部2bを除いた転写基板配線2の四角部分2aの中であれば、ELOチップの転写ずれがあっても光素子は正常な光軸位置で作製されることになる。

【0039】

(第2の実施の形態)

次に、VCSELと同様、受光素子も本発明の製造方法により作製可能なことを示していく。

【0040】

図9及び図10は、本発明の第2の実施の形態による光素子アレイの製造過程を示す構成断面図であり、PINフォトダイオードアレイの製造工程を示している。図9及び図10において、34はGaAs結晶成長基板、17はAlAsリフトオフ層(厚さ2μm)、33a、33b、・・・はn型Al_{0.2}Ga_{0.8}As(厚さ1μm)、34a、34b、・・・はノンドープGaAs光吸収層(厚さ3μm)、35a、35b、・・・はp型Al_{0.2}Ga_{0.8}As(厚さ0.5μm)である。まず、上記の結晶成長を行った後、40μm×40μmの領域を囲む幅10μmの格子状の溝18をリフトオフ層17の表面まで設け、SiO₂保護膜8(厚さ300nm)を設ける(図9(a))。この分離により、40μm×40μmのELOチップ36a、36b、・・・が50μmピッチで配列される形態となる。このとき、格子状の溝18をリフトオフ層17の表面で停止させる選択エッティングを行うため、リフトオフ層17とn型Al_{0.2}G

a₀, 8As33a, 33b, . . . の間に薄いGaAsストッパー層（例えば10nm）を設けておけば、エッチング方法およびエッチング材料の選択により自己整合的にエッチングを停止させることができる。例えば、RIE (Reactive Ion Etching) などのドライエッチングにより、GaAsストッパー層の直上までエッチングし、その後、希硫酸溶液でウェットエッチングを行えばGaAsストッパー層表面で自動的にエッチング停止する。

【0041】

次に、SiO₂保護膜8の面を転写テープ19に貼り付ける（図9（b））。転写テープ19としては、一般的な裏面研削用耐酸性エッチングテープを用いればよく、最終的にELOチップを剥離するため紫外線照射により粘着率低下するタイプを用いるのが望ましい。この状態で、リフトオフ層17の選択除去を行つてGaAs基板34の剥離を行う。選択除去の方法としては、例えば塩酸ディップによるAlAsの選択エッチングで行えばよい。塩酸溶液に対しては、Al濃度の高いAl_xGa_{1-x}As ($x > 0.7$) はエッチングされるが、 $x = 0.2$ の低Al濃度Al_xGa_{1-x}Asはあまりエッチングされない。また、GaAsはほとんどエッチングされないため、前述のストッパー層を設けておけばELOチップ36a, 36b, . . . が完全に保護される。この方法では、GaAs結晶成長基板34がそのまま剥離されるため、GaAs結晶成長基板34を別の光素子作製用基板として再利用することも可能である。また、GaAs結晶成長基板34を研磨除去してから塩酸処理することにより、GaAs結晶成長基板34を剥離することで時間を短縮することも可能である。この後、基板剥離面にn側電極3の蒸着を行う（図9（c））。n側電極3としては、例えばGe濃度10%のAuGeを250nm抵抗加熱蒸着で蒸着する。

【0042】

次に、ELOチップ36a, . . . の分離を行う。ELOチップは、SiO₂保護膜8およびn側電極3で接続されており、機械的な応力で簡単に分離することができる。ここでは、量産向けの処理方法としてテープ拡張による方法を用いる。これには転写テープ19の引張り拡張や加熱による膨潤拡張などの方法があり、いずれの方法を用いても良い。例として転写テープ19の引張り拡張を行う

場合、 $100\mu m$ 程度のチップ間隔が比較的容易に得られる。その後、転写基板1への転写を行う。転写基板1としては、Al₂O₃基板などのセラミック基板やガラス纖維コアを持つエポキシ基板などの有機基板を用いることができる。また、光素子を直接駆動するための駆動ICを転写基板1としても良い。このとき、転写基板1にはELOチップ36a、・・・の搭載位置を示すパターンを設けておき、概略位置合わせしてELOチップ36a、・・・を転写する(図10(a))。この搭載位置を示すパターンは、基板配線電極2aでもよく、ELOチップ36a、・・・の位置ずれを許容し得る範囲を示すようにしておくと転写工程の良否判定が行いやすくなる。ELOチップ36a、・・・の転写は、清浄表面を有する金属どうしの圧着や半田接続、導電性接着剤による接着などで行えばよく、 $50\mu m$ ピッチを $150\mu m$ ピッチに拡大する場合、テープ拡張によりELOチップ36a、・・・を一括して転写することもできる。

【0043】

次に、PINフォトダイオードの受光位置を規定するための加工を行う。ここでは比較的単純なメサエッチング加工の例を示す。まず、ELOチップ36a、・・・を配列した転写基板1に対しフォトリソグラフィーを行い、PINフォトダイオード受光位置以外のSiO₂保護膜8をエッチング除去する。この場合、例えば $30\mu m\phi$ の円形にレジストマスク41を設け、NH₄F水溶液によりSiO₂のエッチングを行う。また、次に行うメサエッチングの方法によっては、SiO₂保護膜9を完全に除去し、円形レジストマスク41のみとしても構わない。レジストマスク41により、PINフォトダイオードのメサエッチングを行う(図10(b))。メサエッチングの方法としては、例えばH₂SO₄、H₂O₂、H₂O混合液(1:4:100)を用い、n型Al_{0.2}Ga_{0.8}As_{33a}に達するまでウェットエッチングを行う。以上の加工により、PINフォトダイオードの受光部が規定できる。

【0044】

尚、PINフォトダイオードの受光位置規定方法は、上記のメサエッチングの他、33aをn型Al_{0.2}Ga_{0.8}Asとしておき、Znなどのp型不純物を選択拡散や選択注入する方法でも構わない。この場合、高温プロセスを伴うた

め電極は後で形成するようにし、また、転写方法も直接接着などの方法を用いるようにする。

【0045】

最後に、転写基板1表面に埋め込み樹脂10（例えばポリイミド樹脂）を設け、PINフォトダイオード受光部の埋め込み樹脂10を選択除去した後、PINフォトダイオードのp側電極9を形成する（図10（c））。p側電極9としては、例えばAu/Ti/Pt/ZnやAu/Crなどの金属を用いることができ、 $20\mu m\phi$ の開口39を持つように形成する。また、p側電極9をITO（Indium Tin Oxide）などの透明電極とすれば、発光部開口の位置を自己整合化することもできる。

【0046】

このような方法により作製したPINフォトダイオードチップの構造例を図11及び図12に示す。図11及び図12において、1はAl₂O₃転写基板、2は転写基板配線（Au/Cr）、12はビア配線メタル（Au）、11はn側電極パッド（Au/Cr）、9はp側電極（Au/Cr）であり、他は図10に示した構成と同様である。図12において、n側電極3の部分がELOチップに相当し、配線のための凸部2bを除いた転写基板配線2の四角部分2aがELOチップ転写許容範囲に相当している。PINフォトダイオードの受光部に相当するp側電極9の円形窓39は、転写基板配線2の四角部分2aの中央に位置しており、ELOチップ転写位置が異なっても同じ位置に形成される。即ち、凸部2bを除いた転写基板配線2の四角部分2aの中であれば、ELOチップの転写ずれがあっても光素子は正常な光軸位置で作製されることになる。

【0047】

図13及び図14は、本発明の製造方法によるMSM（Metal Semiconductor Metal）フォトダイオードチップの構造例を示しており、図4乃至図6と同様な工程によりELOチップの転写を行い、受光領域の規定を行った実施例である。図13において、1はAl₂O₃転写基板、42aはn型Al_{0.2}Ga_{0.8}As（厚さ $1\mu m$ ）、43aはノンドープGaAs光吸収層（厚さ $3\mu m$ ）、8はSiO₂保護膜（厚さ $300nm$ ）、10はポリイミド埋め込み樹脂、45及

び4 6は第1及び第2のショットキー電極（A u／A l）である。この実施例の製造工程はP I Nフォトダイオードと同様に行えるが、受光領域規定をメサエッティングで行うのではなく、図1 4に示すように対向する櫛型電極（第1及び第2のショットキー電極）4 5、4 6で規定する。また、図4（c）のようなn側電極3の形成工程は不要であり、E L Oチップ4 4 a、・・・の転写基板1への転写は、直接接着や両面粘着テープによる接着でも構わない。更に、図7の転写基板配線2やビア配線メタル1 2なども不要である。この実施例の場合、E L Oチップ4 4 a、・・・の転写許容範囲を示すマーカーを設けておけば、図4乃至図6に示した実施例と同様な転写配列が可能であり、E L Oチップ4 4 a、・・・の転写ずれがあっても光素子は正常な光軸位置で作製することが可能である。

【0048】

以上の実施例においては、テープ拡張によるE L Oチップの分離を行って転写する方法を用いてきたが、一般的テープの拡張率が2 0 0 ~ 4 0 0 %程度であるため、極端に大きな拡大転写が困難という問題がある。例えば、前述した実施例の $50\text{ }\mu\text{m}$ ピッチをリボン光ファイバの標準的ピッチである $250\text{ }\mu\text{m}$ まで拡大する場合、テープ拡張でこれを一括して行うためには、テープ拡張率5 0 0 %といった大きな拡張が必要である。実際には5 0 0 %以上の拡張率を持つテープも市販されているが、あまり大きな拡張を行うと、E L Oチップの配列精度誤差が大きくなるという問題を持っている。このため、4 0 0 %程度までの拡大転写であればテープ拡張を用いて一括転写も可能であるが、それ以上となる場合には、個々のE L Oチップを順次位置合わせしながら転写していく方法が必要となる。従って、大きな拡大転写の場合、E L Oチップの転写スループットがコスト増大要因となる。これを解決するための第3の実施の形態を以下に示していく。

【0049】

(第3の実施の形態)

図1 6及び図1 7は、本発明の実施例の光素子アレイの製造過程を示す構成図であり、前述してきたE L Oチップ転写工程を任意の拡大率で実施するための方法を示している。ここでは、2段階の転写工程を経てE L Oチップの配列ピッチを任意に拡大する方法を示していくが、E L Oチップ7 a、7 b、・・・は分離

溝による分割や結晶成長基板除去などが終了しているものとし、また、転写テープ25、26、30には紫外線（以下UVと記す）照射により粘着力低下するUV剥離型テープを用いるものとする。

【0050】

まず、図16（a）は第1の配列ピッチ拡大工程（図15のS55）およびその装置例を示す構成図であり、7a、7b、・・・はELOチップ、25は第1の転写テープ、26は第2の転写テープ、27は転写ローラー、28は転写シリンドラである。ここで、ELOチップ7a、7b、・・・の配列は第1の転写テープ25の進行方向に合わせてあるものとする。

【0051】

第1の転写テープ25へは、転写ローラー27への導入前にUV照射装置（図示せず）によるUV照射を例えば 1000mJ/cm^2 行う。そして、ELOチップ7a、7b、・・・の位置を認識する認識装置（図示せず）により、ELOチップ7a、7b、・・・が転写位置に来たことを確認して転写ローラー27および第1の転写テープ25を停止させる。このとき、第2の転写テープ26の所定配列ピッチ分のフィード処理（テープ引き出し）を行っておく。続いて、転写シリンドラ28を突き出させ、第1の転写テープ25から第2の転写テープ26へのELOチップ7a、7b、・・・の転写を行い、転写シリンドラ28を元の位置に戻す。その後、転写ローラー27を回転して第1の転写テープ25を次のELOチップ7a、7b、・・・が転写位置に来るまでフィードする。また、同時に第2の転写テープ26の所定配列ピッチ分のフィード処理を行っておき、転写シリンドラ28による転写を行う。このような処理を繰り返すことにより、第1の転写テープ25から第2の転写テープ26へ第1の方向29にピッチ拡大して転写される（図16（b））。尚、第1の転写テープ25へのUV照射は、ELOチップ7a、7b、・・・の保持力を低下させ、第2の転写テープ26への転写を容易にするが、転写前のELOチップ7a、7b、・・・の脱落を招く場合もある。このような場合には、転写ローラー27の内側にUV照射装置を組み込み、転写位置に来たELOチップ7a、7b、・・・にのみUV照射するようにしても構わない。

【0052】

次に、第2の転写テープ26から第3の転写テープ30へ、図16（b）の第1の方向29とは90°異なる第2の方向33へのピッチ拡大転写を行う（図15のS56）。図17（a）は第2の配列ピッチ拡大工程およびその装置例を示す構成図であり、7a、7b、・・・はELOチップ、26は第2の転写テープ、30は第3の転写テープ、32は転写治具、31は転写シリンダである。転写シリンダ31は、転写治具32の曲面に沿って移動可能なように構成する。

【0053】

第2の転写テープ26は、図16（a）のテープ進行方向（第1の方向）29と直行する方向（第2の方向）33に曲面を有する転写治具32に押し当てられる。このとき第2の転写テープ26と転写治具32が密着するよう、第2の転写テープ26の端部に弱い張力を与えておく。また、転写治具32内側からUV照射装置（図示せず）によるUV照射を行ってELOチップ7a、7b、・・・の保持力を低下させておく。このとき、第3の転写テープ30の所定配列ピッチ分のフィード処理（テープ引き出し）を行っておく。そして、ELOチップ7a、7b、・・・の位置を認識する認識装置（図示せず）により、ELOチップ7a、7b、・・・の位置に転写シリンダ31が来たことを確認して転写シリンダ31を突き出し、第2の転写テープ26から第3の転写テープ30へのELOチップ7a、7b、・・・の転写を行い、転写シリンダ31を元の位置に戻す。続いて、第3の転写テープ30の所定配列ピッチ分のフィード処理を行い、次のELOチップ7a、7b、・・・の位置まで転写シリンダ31を移動させて、ELOチップ7a、7b、・・・の転写を行う。このような処理を繰り返すことにより、第2の転写テープ26から第3の転写テープ30へ第2の方向33へピッチ拡大した転写が行われる（図17（b））。その後、第3の転写テープ30から転写基板1へELOチップ7a、7b、・・・を転写する（図15のS57）。

【0054】

以上のような方法により、ELOチップ7a、7b、・・・の拡大転写を2つの方向に別々に行えば、転写テープの拡張率などの制限を受けることなく、また、機械精度の範囲で確実に配列ピッチの拡張を行うことが可能になる。これによ

り、例えば $25\mu\text{m}$ ピッチのELOチップを $250\mu\text{m}$ ピッチに拡大するといった 1000% 拡張のような極端な拡張も確実に行うことが可能になる。これにより、光素子の構造を工夫して、材料利用効率100倍というような大幅な改善も可能となり、光素子アレイの低コスト化に大きく貢献できる。

【0055】

以上、本発明の光素子アレイの製造方法について実施例を用いて説明してきたが、本発明は上記実施例に限定されるものではなく、例えば、発光素子はVCS-E Lだけでなく端面放射型半導体レーザや発光ダイオードでも適用可能であり、受光素子も端面入射型素子やアバランシェフォトダイオード(APD)、更に、光変調素子などの光素子にも適用可能である。また、单一素子内に受光部および発光部を有する受光発光素子からなる光素子アレイに対しても本発明は適用可能である。また、拡大転写装置の構成などはあくまで一例であり、例えば特許文献1に記載されているような拡大転写手法を適用することも可能であり、その詳細が実施例に限定されるものではない。即ち、本発明は、その主旨と範囲を逸脱することなく、各種の変形実施が可能なものである。

【0056】

【発明の効果】

以上説明したように、本発明の光素子アレイの製造方法によれば、光配線装置の不可欠部品である光素子アレイの大幅な低コスト化が可能であり、光配線の低成本化とそれによる光配線導入を促進して情報通信装置の性能向上などに貢献するという効果を奏する。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る光素子アレイを示す概略構成図。

【図2】 本発明の第1の実施の形態に係る光素子アレイの製造過程を示すフローチャート。

【図3】 図2のS5段階の詳細工程を示すフローチャート。

【図4】 本発明の第1の実施の形態に係る光素子アレイの製造工程を示す断面図。

【図5】 本発明の第1の実施の形態に係る光素子アレイの製造工程を示す平面

図。

【図6】 本発明の第1の実施の形態に係る光素子アレイの製造工程を示す断面図。

【図7】 本発明の第1の実施の形態に係る光素子アレイの構造例を示す断面図。

【図8】 図7に示した光素子アレイの構造例を示す平面図。

【図9】 本発明の第2の実施の形態に係る光素子アレイの製造工程を示す断面図。

【図10】 本発明の第2の実施の形態に係る光素子アレイの製造工程を示す断面図。

【図11】 本発明の第2の実施の形態に係る光素子アレイの構造例を示す断面図。

【図12】 図11に示した光素子アレイの構造例を示す平面図。

【図13】 本発明の第2の実施の形態に係る他の光素子アレイの構造例を示す断面図。

【図14】 図13に示した光素子アレイの構造例を示す平面図。

【図15】 図2のS5段階の詳細工程を示すフローチャート。

【図16】 本発明の第3の実施の形態に係る光素子アレイの製造工程を示す概略構成図。

【図17】 本発明の第3の実施の形態に係る光素子アレイの製造工程を示す概略構成図。

【図18】 従来技術の光素子実装工程を示す工程断面図。

【図19】 従来技術による光素子アレイ製造工程を示す概念図。

【図20】 従来技術に係る光素子アレイの概念図。

【符号の説明】

- 1 転写基板
- 2 転写基板配線
- 3 n側電極
- 4 a、4 b n型DBR

- 5 a、5 b G a A s 量子井戸活性層
6 a、6 b p型D B R
7 a、7 b、…、36 a、36 b、…、44 a E L Oチップ
8 保護膜
9、9 a、9 b、… p側電極
10 埋め込み樹脂
11 電極パッド
12 ビア配線メタル
13 能動領域規定構造
17 リフトオフ層
18 溝
19 転写テープ
20 プロトン注入マスク
21 プロトン注入領域
22 光ファイバコア
23 光ファイバクラッド
25 第1の転写テープ
26 第2の転写テープ
27 転写ローラ
28、31 転写シリンド
29 第1の方向
30 第3の転写テープ
32 転写治具
33 第2の方向
34 結晶成長基板
33 a、33 b、42 a n型A l G a A s層
34 a、34 b、43 a 光吸收層
35 a、35 b p型A l G a A s層
39 開口（円形容）

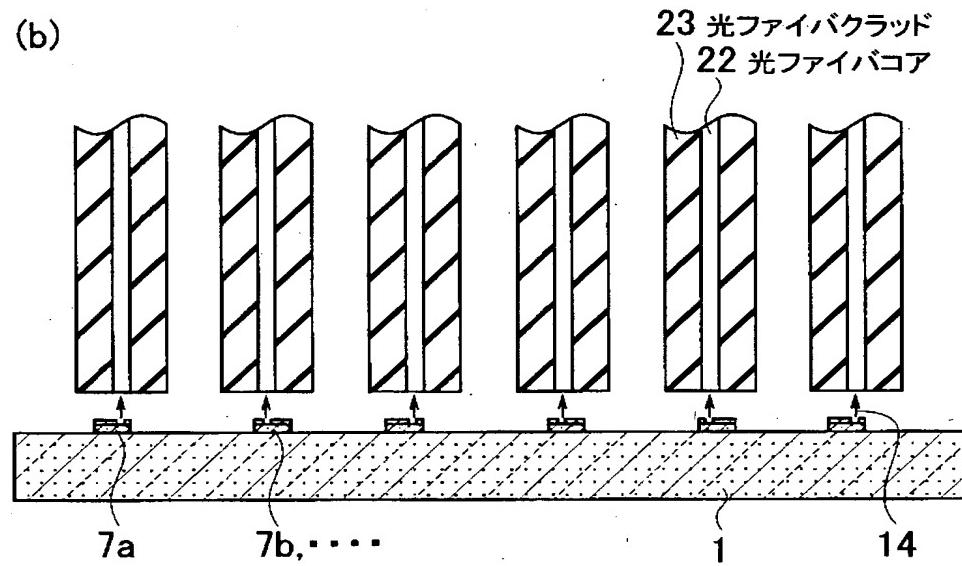
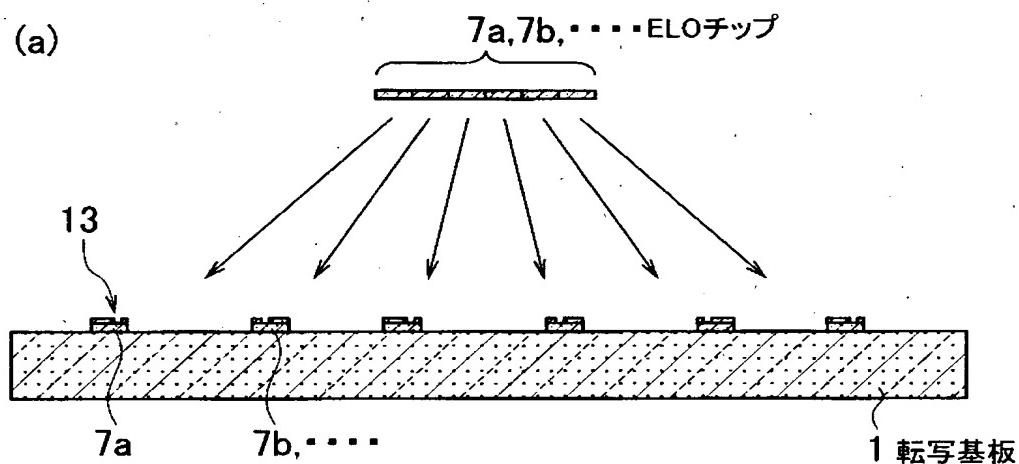
41 レジストマスク

45 第1のショットキー電極

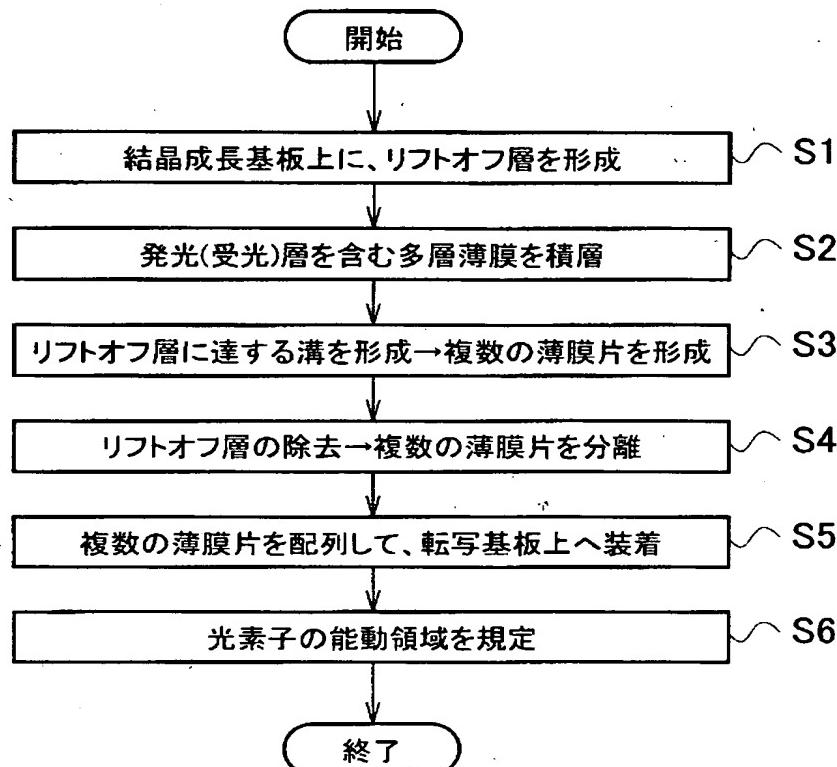
46 第2のショットキー電極

【書類名】 図面

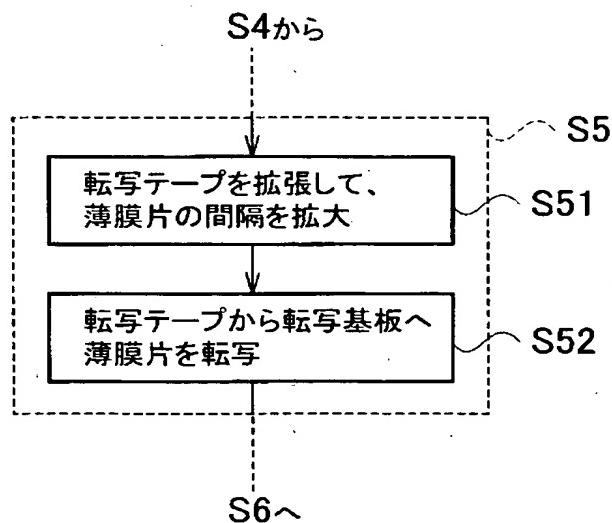
【図 1】



【図 2】

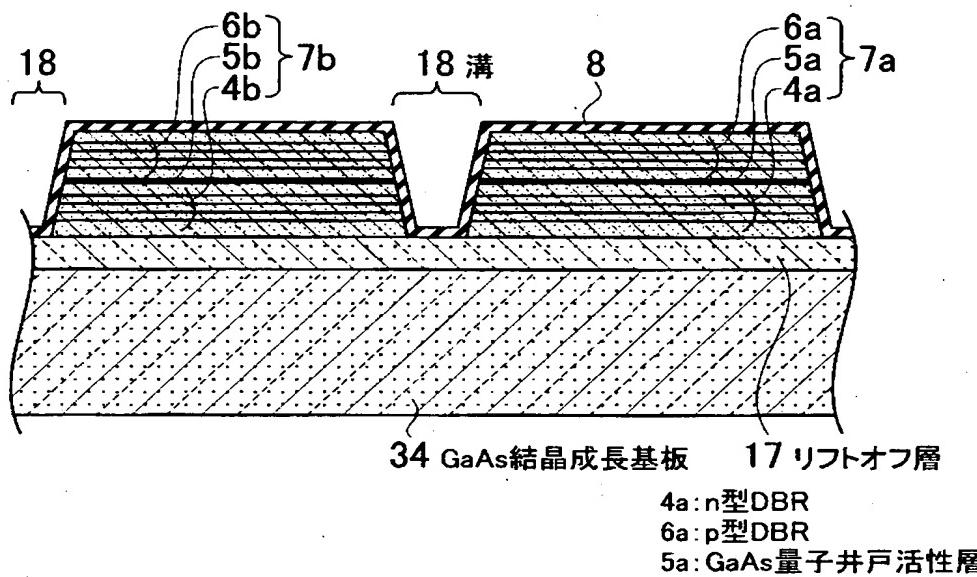


【図 3】

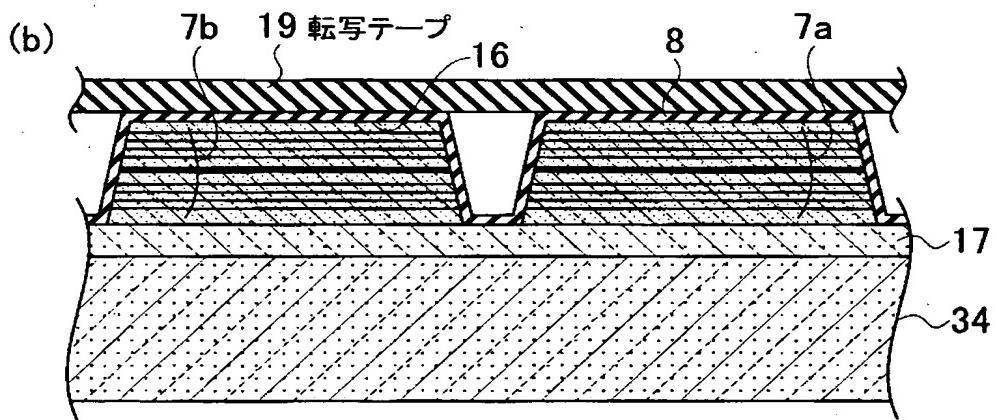


【図4】

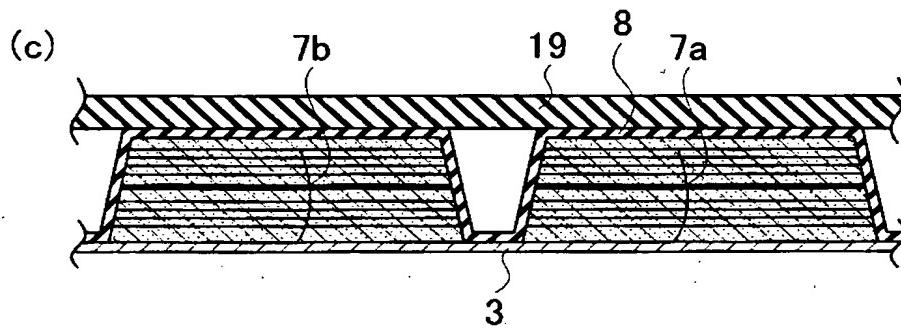
(a)



(b)

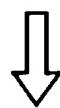
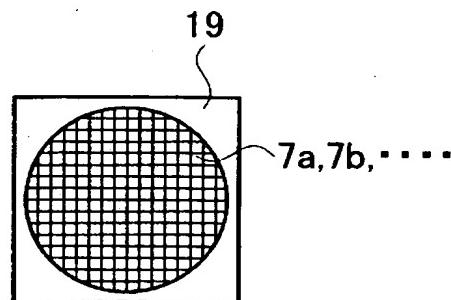


(c)

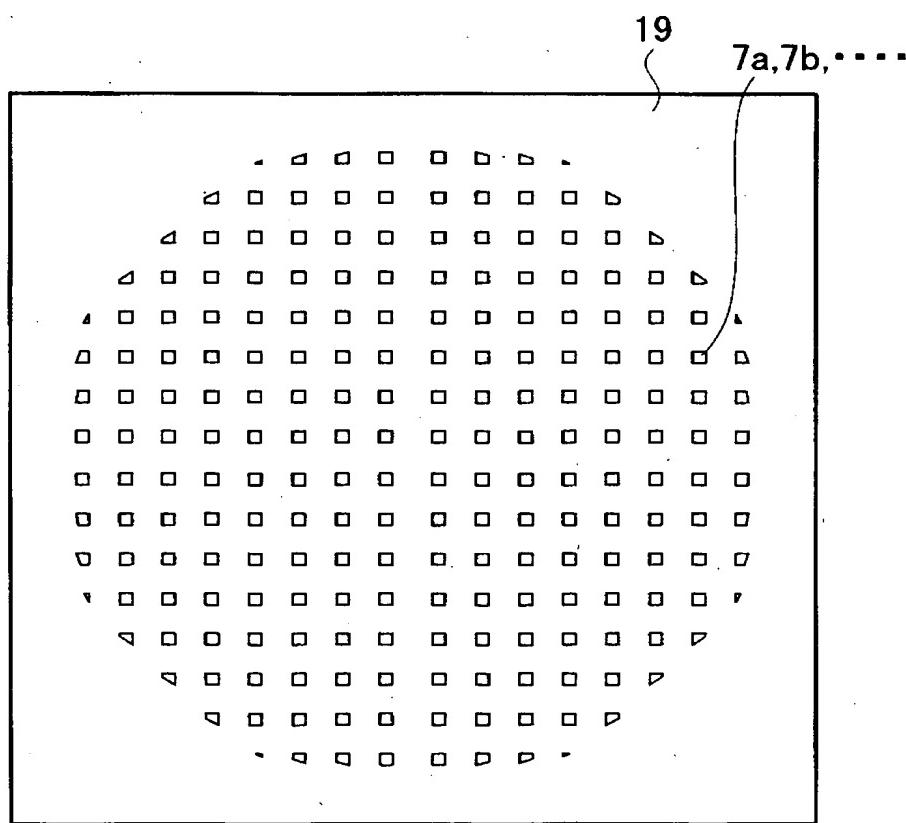


【図5】

(a)

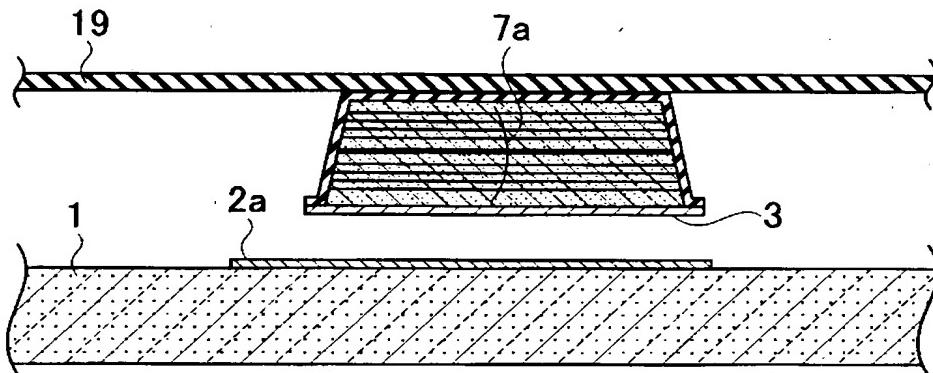


(b)

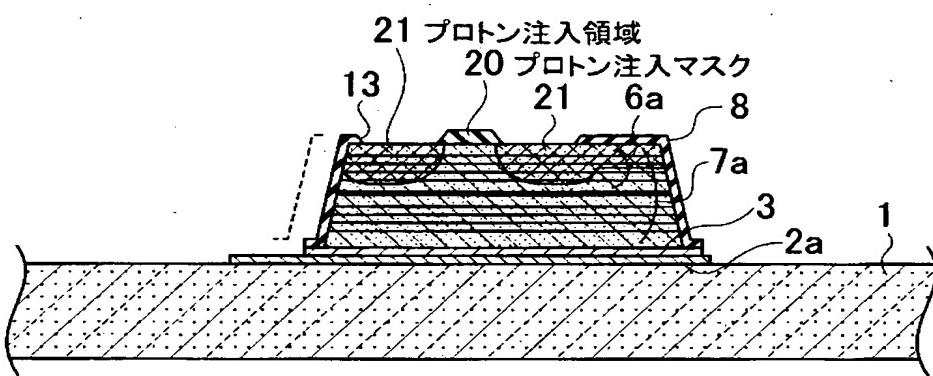


【図6】

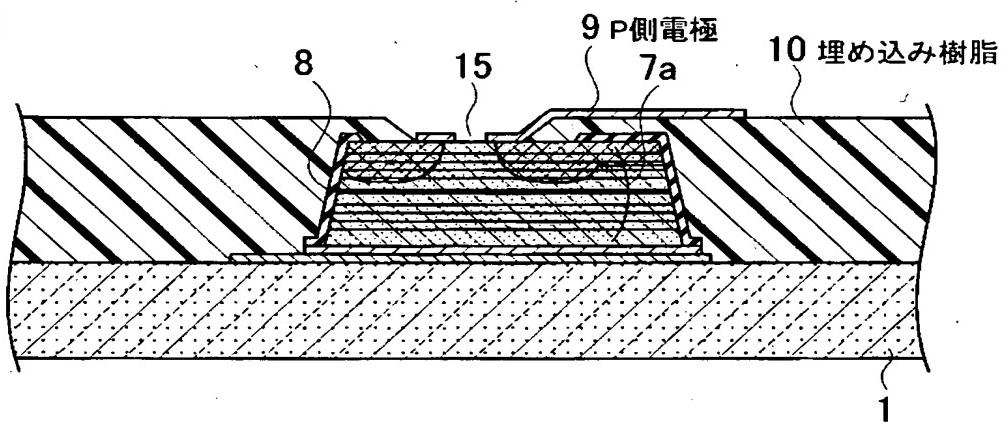
(a)



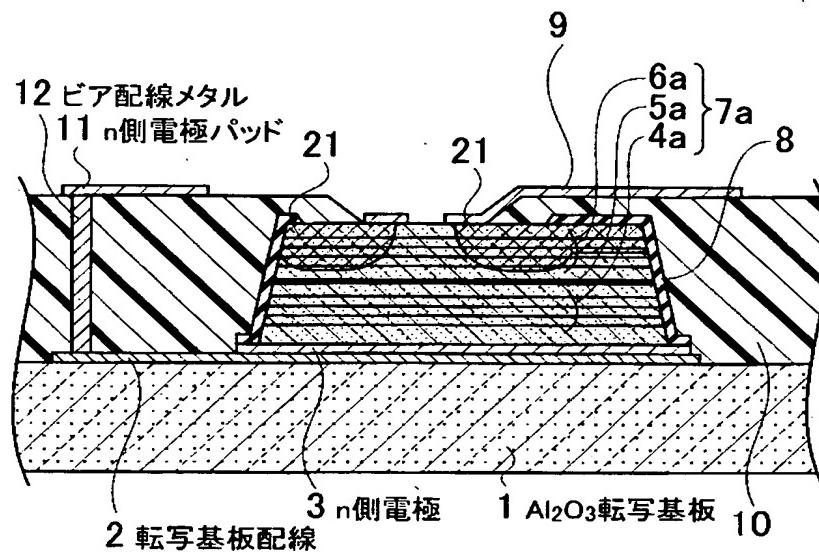
(b)



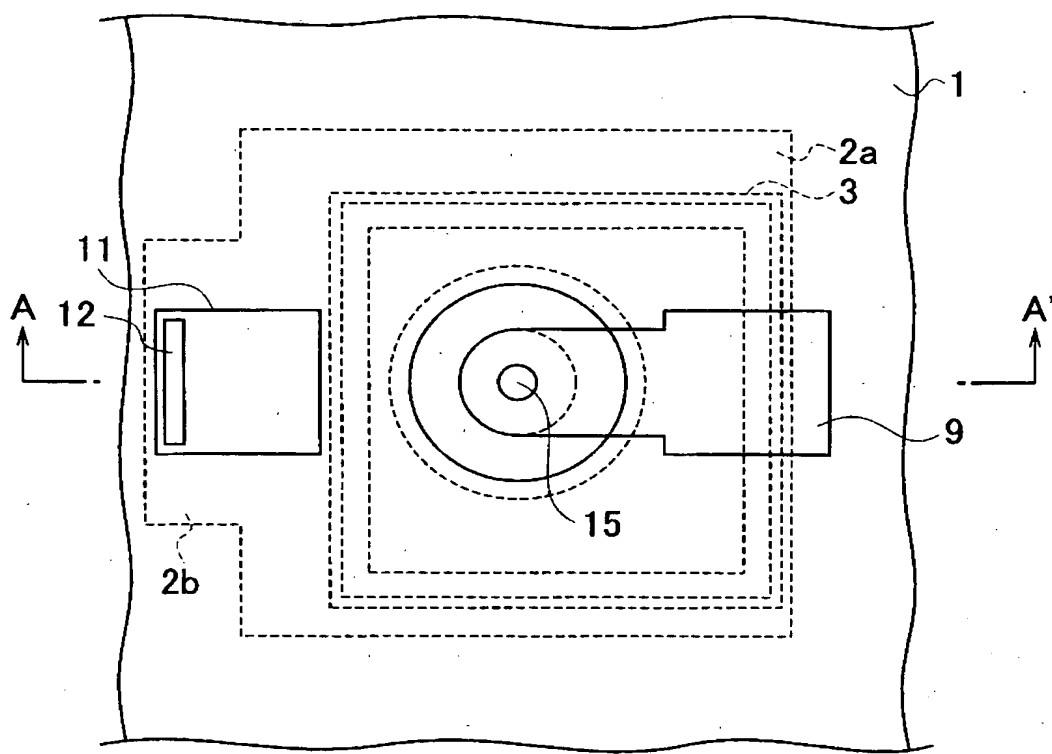
(c)



【図7】

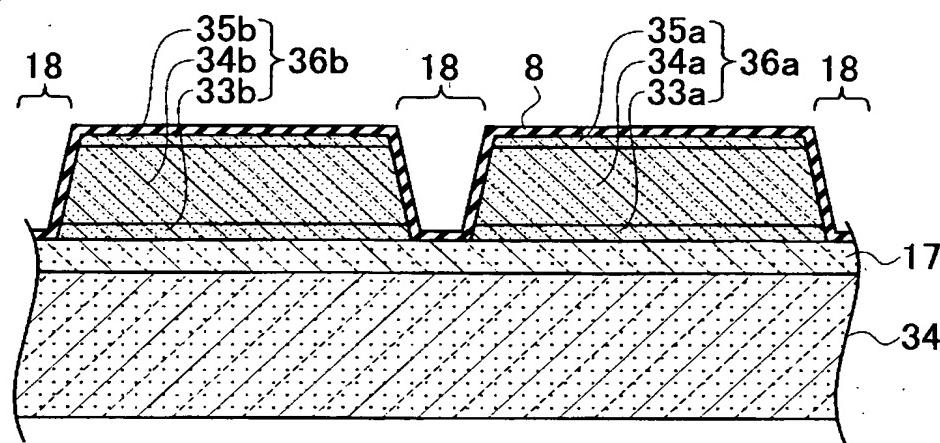


【図8】

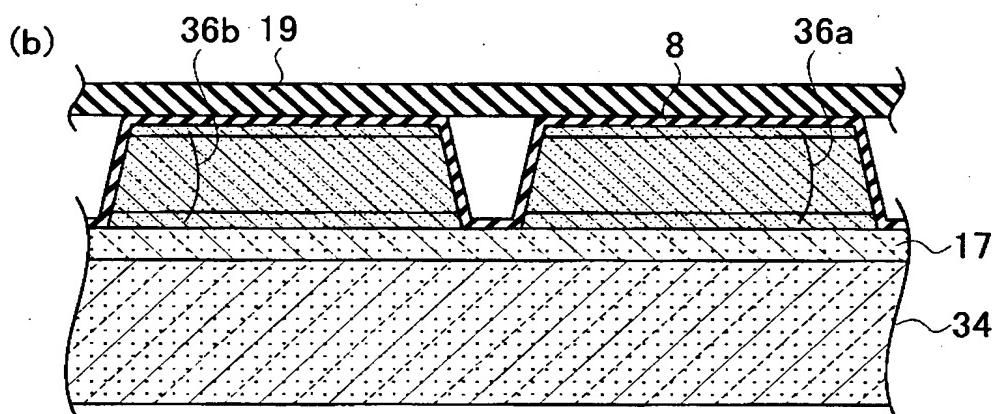


【図9】

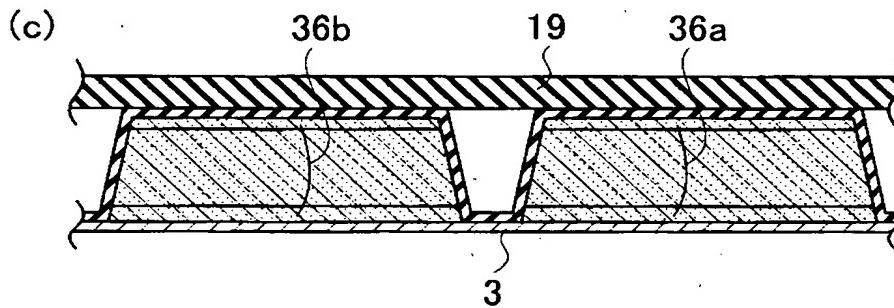
(a)



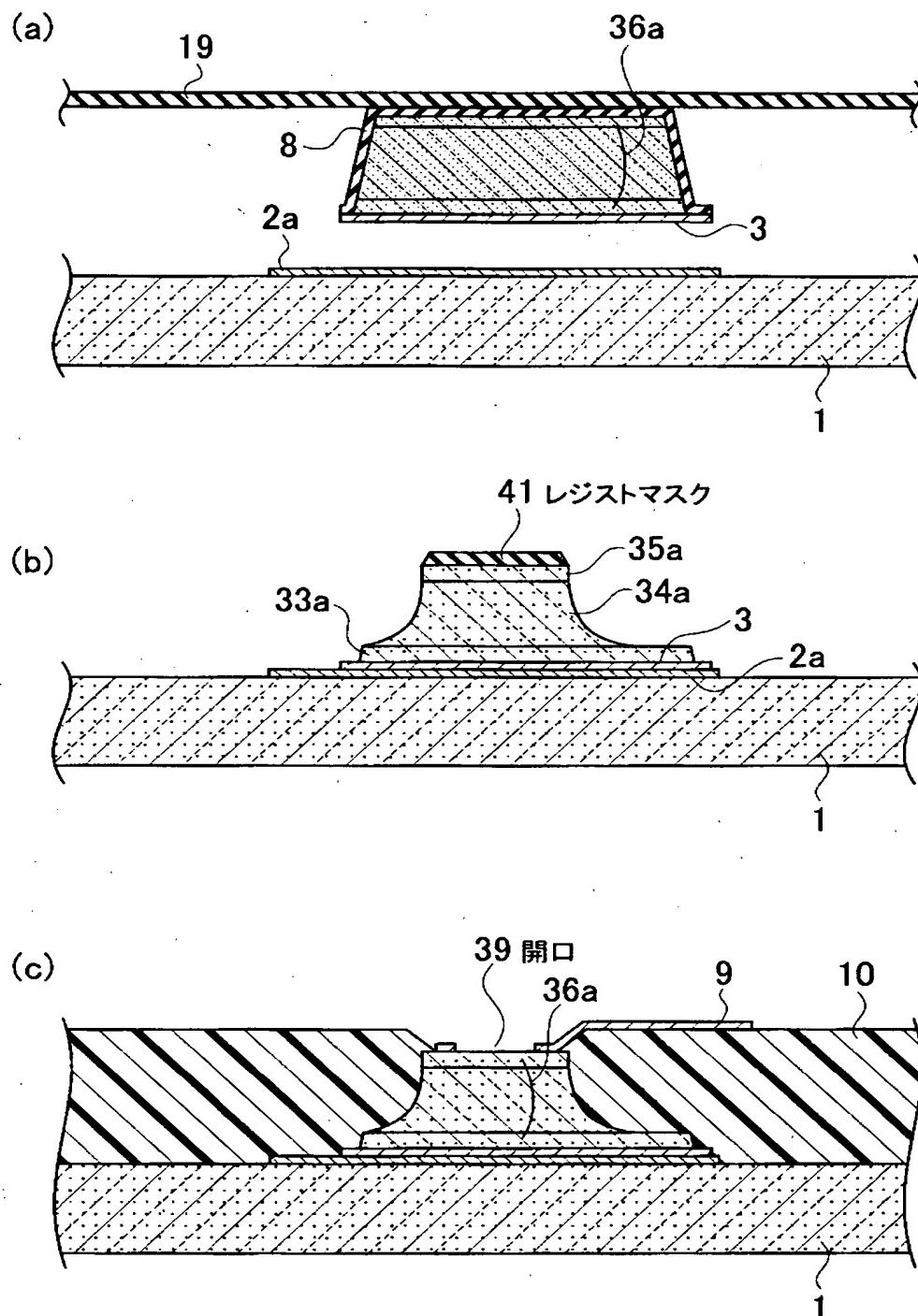
(b)



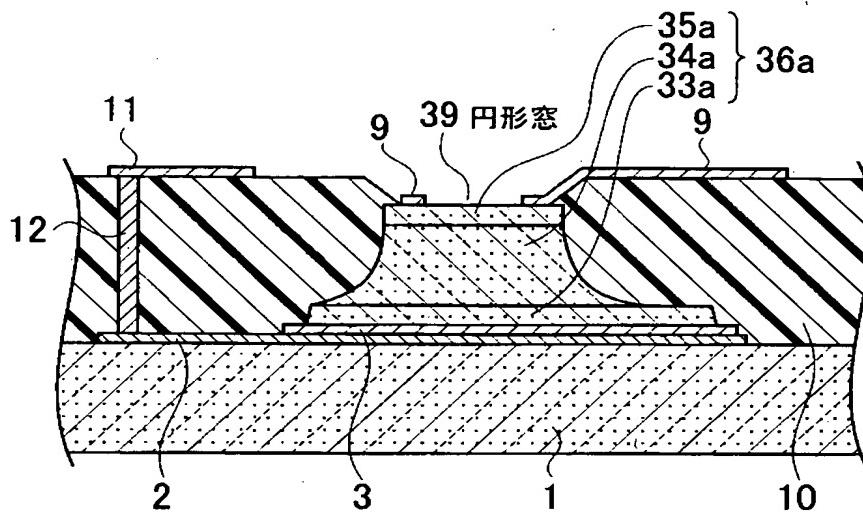
(c)



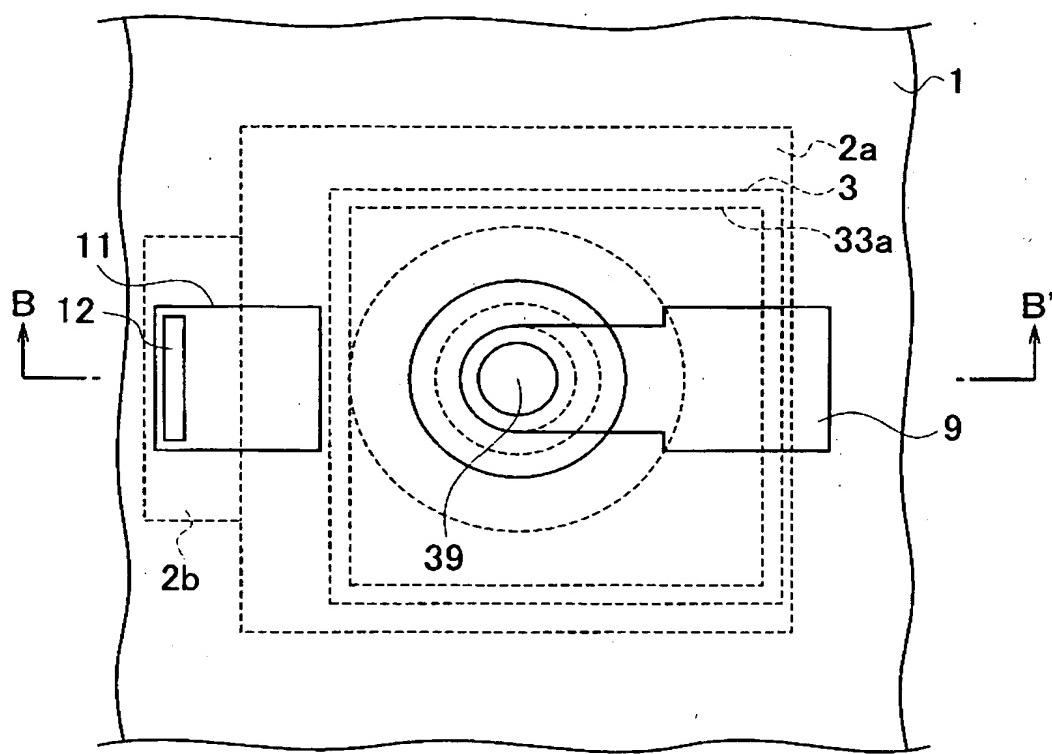
【図10】



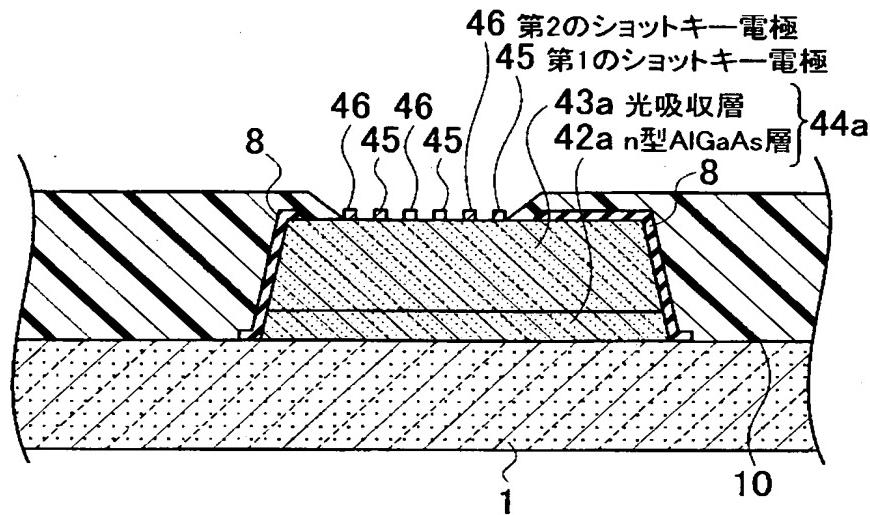
【図11】



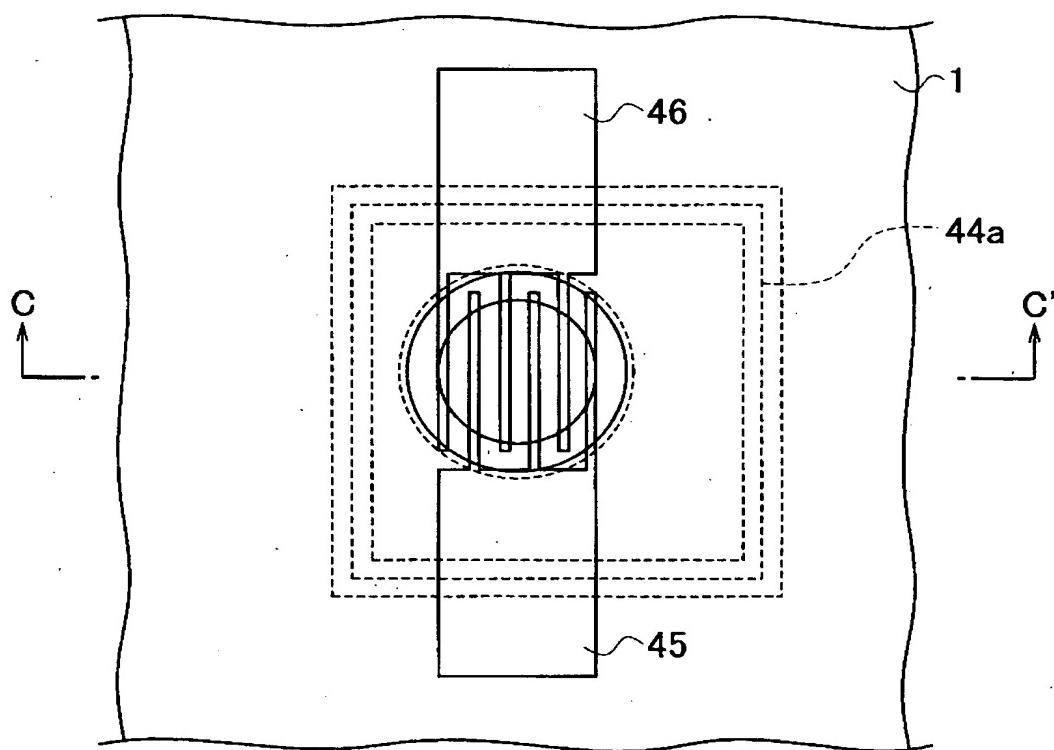
【図12】



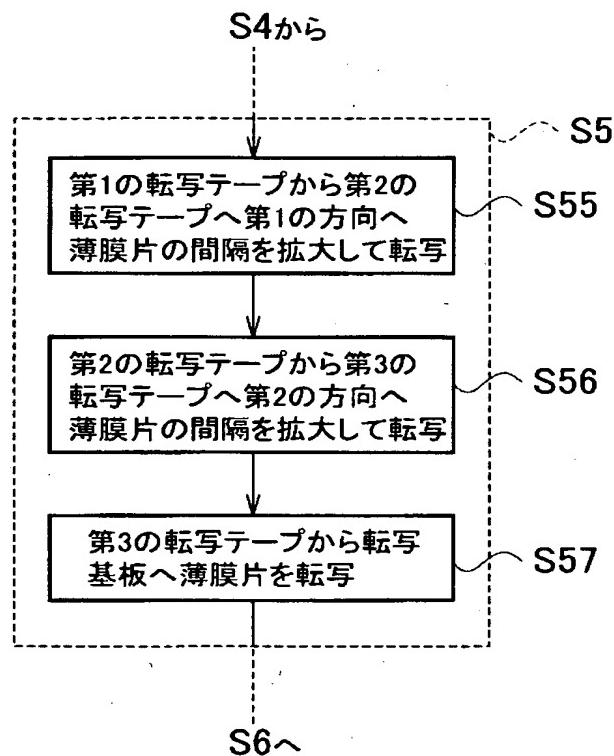
【図13】



【図14】

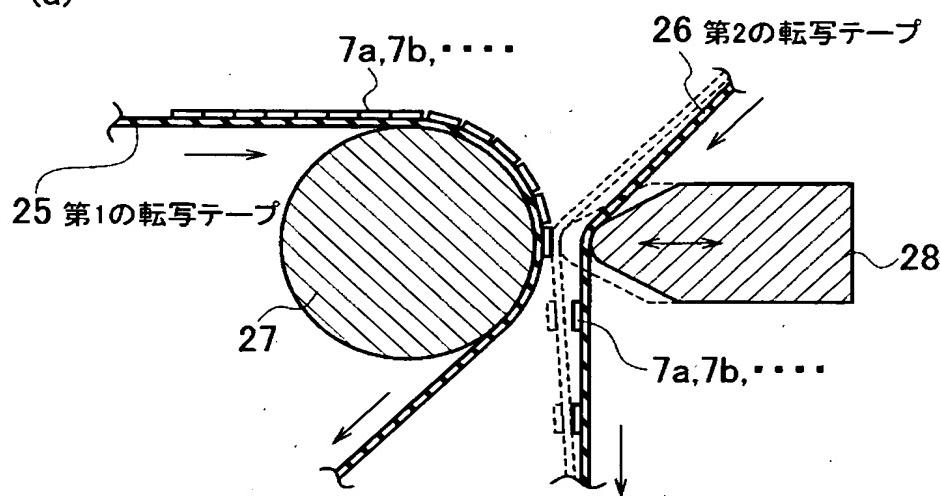


【図15】

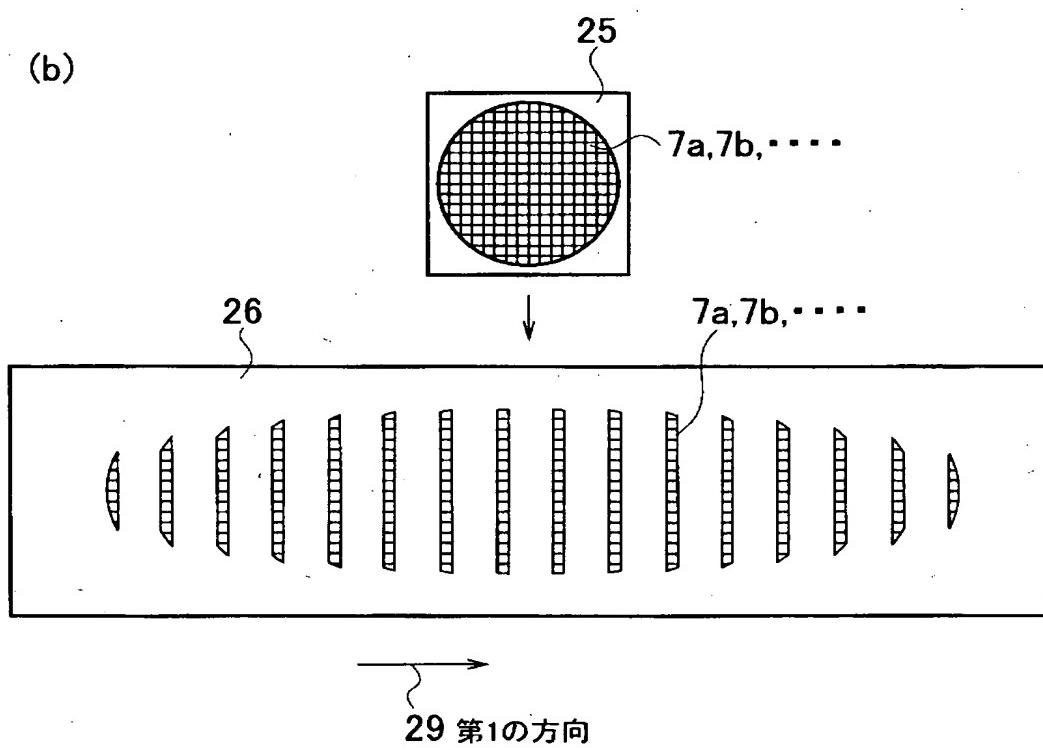


【図16】

(a)

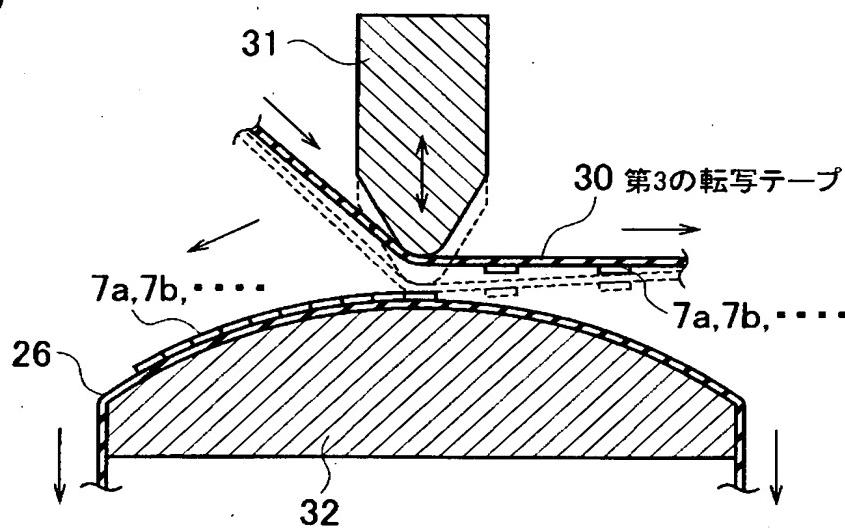


(b)

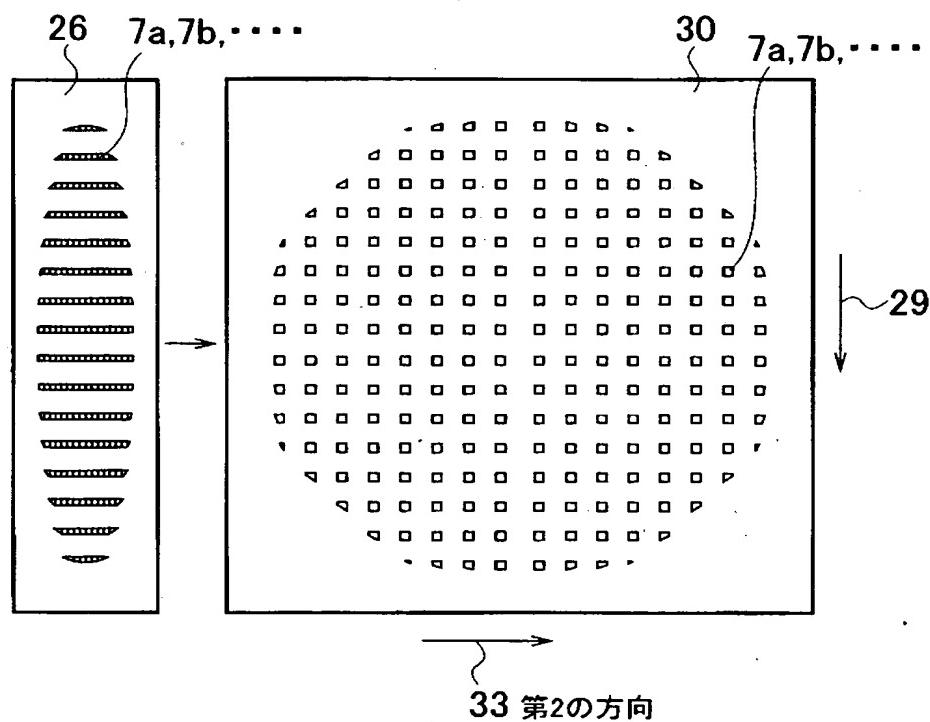


【図17】

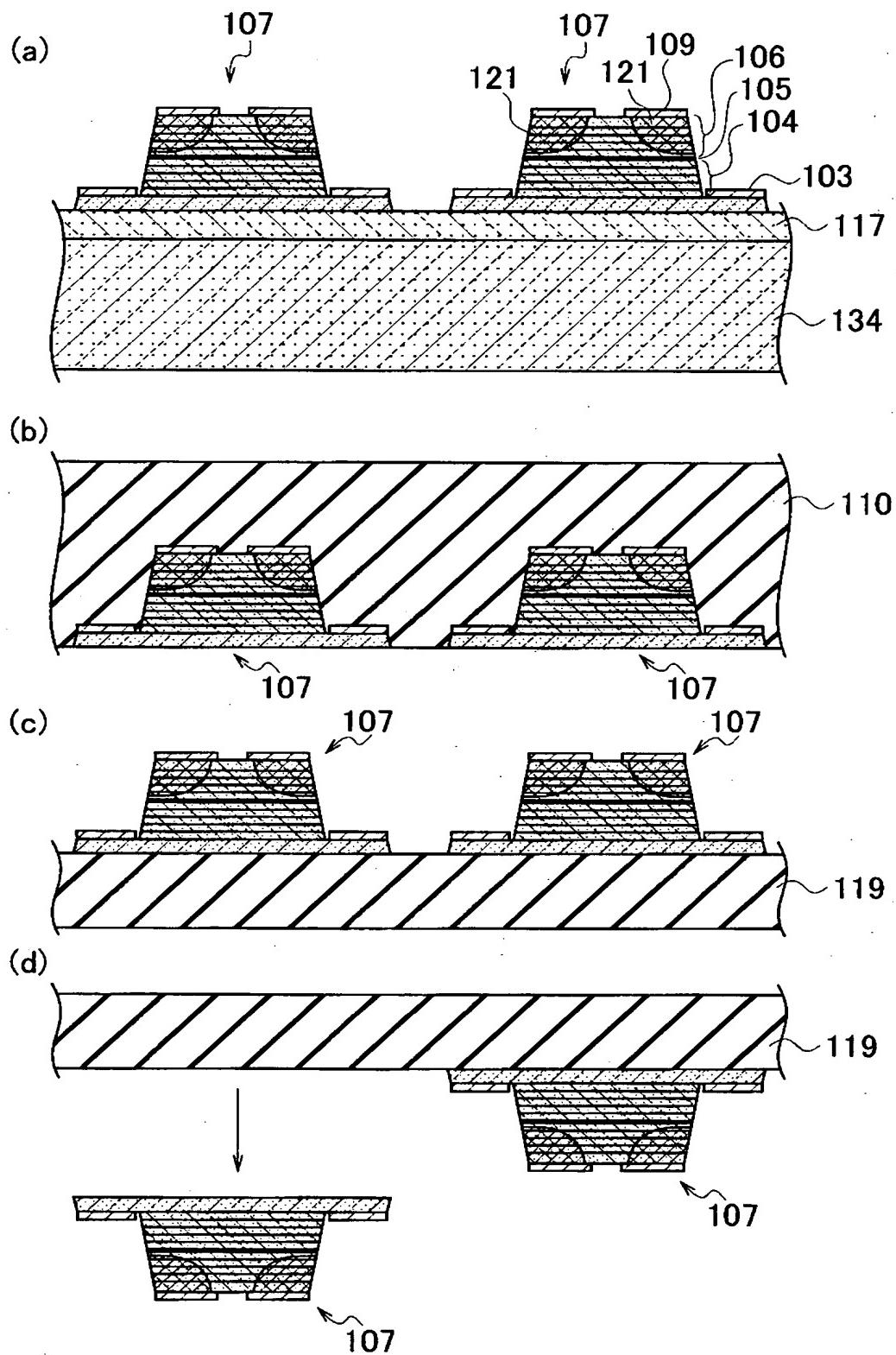
(a)



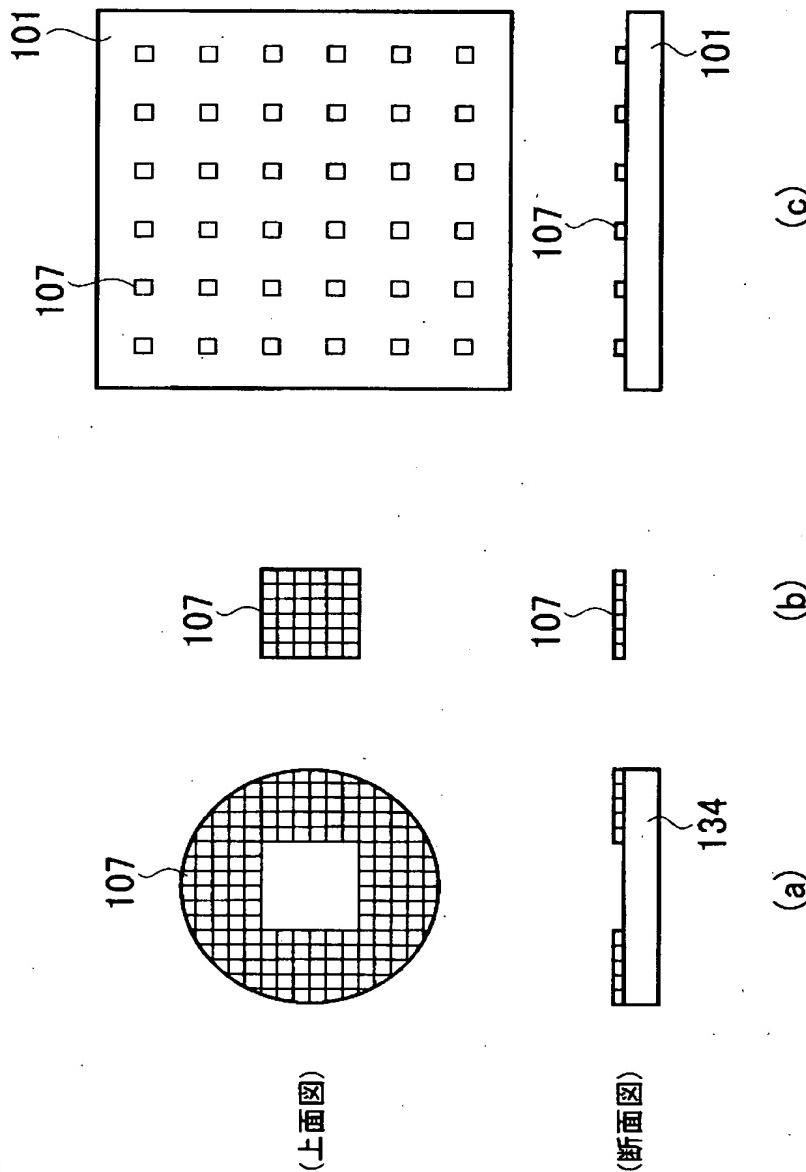
(b)



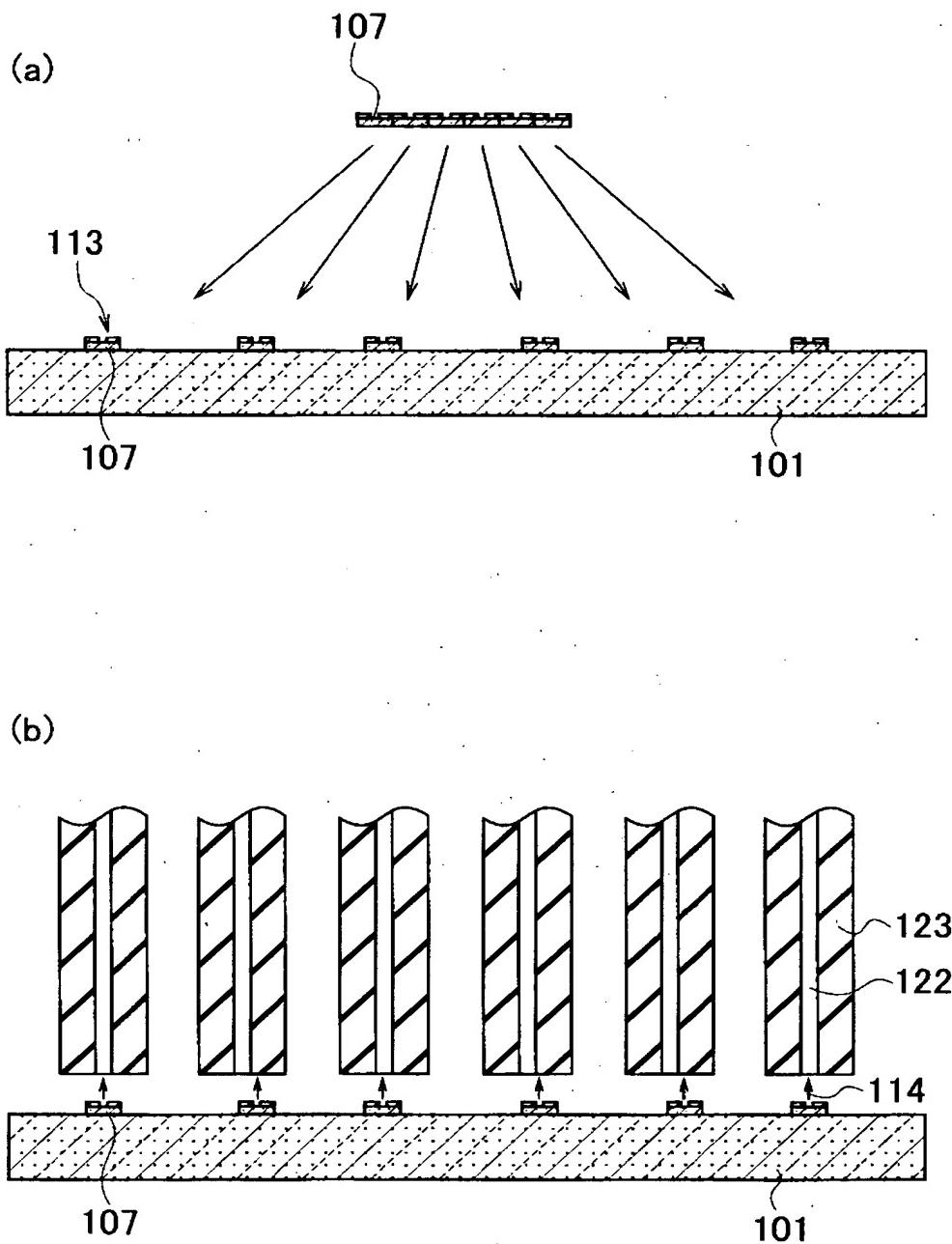
【図18】



【図19】



【図20】



【書類名】 要約書

【要約】

【課題】 光素子の材料効率を高めつつ、光素子アレイの配列誤差を根本的に解消しうる光素子アレイの製造方法を提供する。

【解決手段】 光素子アレイに用いる薄膜片を半完成品状態で転写基板上に装着し、転写基板上で各薄膜片に対して光素子光軸規定加工を行う。

【選択図】 図1

特願2002-372903

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝